

1/5/1

DIALOG(R)File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

014627956 **Image available**
WPI Acc No: 2002-448660/ 200248
XRPX Acc No: N02-353597

Liquid crystal display (LCD) device manufacture involves forming
layer-insulation films in two steps, where first layer insulation film is
cleaned before forming second layer insulation film

Patent Assignee: TOSHIBA KK (TOKE)
Number of Countries: 001 Number of Patents: 001
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002107760	A	20020410	JP 2000298464	A	20000929	200248 B

Priority Applications (No Type Date): JP 2000298464 A 20000929

Patent Details:
Patent No Kind Lan Pg Main IPC Filing Notes
JP 2002107760 A 6 G02F-001/1368

Abstract (Basic): JP 2002107760 A

NOVELTY - The method involves forming a semiconductor layer on an
insulated substrate, and forming layer-insulation films (13,14) on the
insulated substrate. The layer-insulation films is formed in two steps,
wherein after forming the layer-insulation film (13), it is cleaned
using cathode water before forming the layer-insulation film (14).

USE - For manufacturing liquid-crystal display device.

ADVANTAGE - Improves the yield of the manufacture of the
liquid-crystal display device. Prevents the generation of leak
originated in the particle in the layer-insulation film.

DESCRIPTION OF DRAWING(S) - The figure shows the longitudinal
cross-sectional view of the element showing the manufacturing method
for liquid-crystal display device.

Layer-insulation films (13,14)

pp; 6 DwgNo 1/5

Title Terms: LIQUID; CRYSTAL; DISPLAY; LCD; DEVICE; MANUFACTURE; FORMING;
LAYER; INSULATE; FILM; TWO; STEP; FIRST; LAYER; INSULATE; FILM; CLEAN;
FORMING; SECOND; LAYER; INSULATE; FILM

Derwent Class: P81; P85; U12; U14; W05

International Patent Class (Main): G02F-001/1368

International Patent Class (Additional): G02F-001/13; G09F-009/30;

H01L-029/786

File Segment: EPI; EngPI

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-107760
(P2002-107760A)

(43)公開日 平成14年4月10日(2002.4.10)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 0 2 F 1/1368		G 0 2 F 1/13	1 0 1 2 H 0 8 8
	1/13		3 3 8 2 H 0 9 2
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	5 0 0 5 C 0 9 4
H 0 1 L 29/786		G 0 2 F 1/136	6 1 9 A 5 F 1 1 0
		H 0 1 L 29/78	

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21)出願番号 特願2000-298464(P2000-298464)

(22)出願日 平成12年9月29日(2000.9.29)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 清 田 敏 也

埼玉県深谷市幡羅町1-9-2 株式会社

東芝深谷工場内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

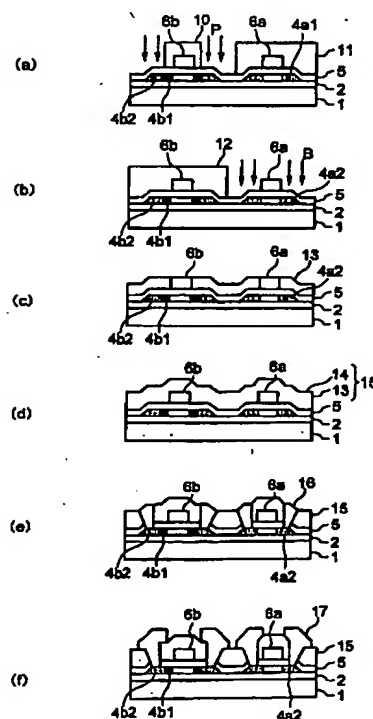
最終頁に続く

(54)【発明の名称】 液晶表示装置の製造方法

(57)【要約】

【課題】 層間絶縁膜におけるパーティクルに起因する欠陥の発生を防止し、歩留まりの向上に寄与する。

【解決手段】 層間絶縁膜の形成を、少なくとも2回に分けて行い、1回目の層間絶縁膜13を形成した後、2回目の層間絶縁膜14を形成する前の工程で、カソード水を用いてブラシ洗浄を行う。これにより、層間絶縁膜においてパーティクルに起因したリークの発生が防止され、歩留まりが向上する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 液晶表示装置の製造方法において、絶縁基板上に半導体層を形成する工程と、前記半導体層が形成された前記絶縁基板上に層間絶縁膜を形成する工程とを備え、前記層間絶縁膜を形成する工程は、 n (n は 2 以上の整数) 回に分けて前記層間絶縁膜を形成し、

j (j は 1 以上で $n-1$ 以下の整数) 回目の層間絶縁膜を形成した後、 $j+1$ 回目の層間絶縁膜を形成する前の段階で、 j 回目の層間絶縁膜を洗浄する工程を含むことを特徴とする液晶表示装置の製造方法。

【請求項 2】 前記洗浄工程は、カソード水とブラシとを用いて洗浄を行うことを特徴とする請求項 1 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示装置の製造方法に関する。

【0002】

【従来の技術】 近年、多結晶シリコンや非結晶シリコンは、CVD 法 (Chemical Vapor Deposition) 等により、透光性を有する絶縁基板上に成膜が可能であることから、液晶表示装置への応用が盛んに行われている。

【0003】 表示部における画素のスイッチング素子としての応用を始めとし、多結晶シリコン膜においては更にスイッチング素子を動作させるための駆動回路 (主に CMOS トランジスタで構成される) への応用も実用化されつつある。

【0004】 多結晶シリコンを TFT (Thin Film Transistor) の活性層に使用した CMOS トランジスタを製造する従来の方法について説明する。

【0005】 図 4 (a) に示されたように、透光性を有する絶縁基板 1 上に、窒化シリコン膜 2 と非結晶シリコン膜 3 とを CVD 法にて成膜する。その後、非結晶シリコン膜 3 中の H 量を減らすため、 N_2 雰囲気中でアニール処理を行う。

【0006】 図 4 (b) のように、エキシマレーザを用いて非結晶シリコン膜 3 を瞬時に熔融させ、多結晶シリコン層 4 を成長させる。

【0007】 図 4 (c) のように、多結晶シリコン膜 4 を CDE 法 (Chemical Dry Etching) によりパターニングすることによって、 n 型 TFT 用の島状の多結晶シリコン膜 4 b と、 p 型 TFT 用の島状の多結晶シリコン膜 4 a とを形成する。

【0008】 図 4 (d) に示されたように、CVD 法を用いて全面にゲート絶縁膜 5 を堆積する。

【0009】 図 4 (e) のように、ゲート絶縁膜 5 上に金属膜をスパッタリングによって堆積し、RIE (Reactive Ion Etching) 法によりパターニングしてゲート電

極 6 a、6 b を形成する。

【0010】 図 4 (f) のように、ゲート電極 6 a、6 b をマスクとして、多結晶シリコン膜 4 a、4 b に対して自己整合的に P をイオン注入する。これにより、図 4 (g) のように、 n 型 TFT 用の多結晶シリコン膜 4 b におけるチャネル領域を除くソース、ドレイン領域 4 b 1 と、 p 型 TFT 用の多結晶シリコン膜 4 a におけるソース、ドレイン領域 4 a 1 とに、P が低濃度で導入される。

10 【0011】 表面全体にレジストを塗布した後、PEP (Photo Engraving Process) 工程により、図 5 (a) に示されたように、 p 型 TFT の上部全体を覆うレジスト膜 1 1 と、 n 型 TFT のゲート電極 6 b よりわずかに大きい領域を覆うレジスト膜 1 0 を形成する。そして、レジスト膜 1 0 及び 1 1 をマスクとし、 n 型 TFT におけるソース、ドレイン領域 4 b 1 の両端領域 4 b 2 に、P を高濃度にイオン注入する。この後、レジスト膜 1 0、1 1 をアッシング法により除去する。

20 【0012】 図 5 (b) のように、再度レジストを全体に塗布し、PEP 工程により n 型 TFT 領域全体を被覆するレジスト膜 1 2 を形成する。このレジスト膜 1 2 をマスクとして、 p 型 TFT のソース、ドレイン領域 4 a 1 に B を高濃度にドーピングする。この後、レジスト膜 1 2 を除去する。

【0013】 図 5 (c) に示されたように、CVD 法を用いて全面に層間絶縁膜 2 0 を堆積する。

【0014】 図 5 (d) のように、層間絶縁膜 2 0 にコンタクトホール 1 6 を開口する。

30 【0015】 図 5 (e) のように、このコンタクトホール 1 6 を埋め込むように全体に金属膜を堆積し、パターニングを行って信号線 1 7 を形成し、CMOS トランジスタを完成する。

【0016】

【発明が解決しようとする課題】 しかし、上述した従来の製造方法では、層間絶縁膜 2 0 を形成する際にパーティクルの影響を受け易く、層間絶縁膜 2 0 においてリーク不良が多発するという問題があった。

40 【0017】 本発明は、上記事情を考慮してなされたものであって、パーティクルに起因する欠陥の発生を防止し、歩留まりの向上に寄与する液晶表示装置の製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】 本発明による液晶表示装置の製造方法は、絶縁基板上に半導体層を形成する工程と、前記半導体層が形成された前記絶縁基板上に層間絶縁膜を形成する工程とを備え、前記層間絶縁膜を形成する工程は、 n 回に分けて前記層間絶縁膜を形成し、 j 回目の層間絶縁膜を形成した後、 $j+1$ 回目の層間絶縁膜を形成する前の段階で、 j 回目の層間絶縁膜を洗浄する工程を含むことを特徴とする。前記洗浄工程は、カソー

ド水とブラシとを用いて洗浄を行うこともできる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1(a)に示されたように、透光性を有する絶縁基板1上に、CVD法を用いて、例えば300nmの膜厚の窒化シリコン膜2と、例えば50nmの膜厚の非結晶シリコン膜3とをCVD法にて成膜する。その後、非結晶シリコン膜3中のH量を減らすため、N₂雰囲気中でアニール処理を行う。例えば、500℃1hアニールを行うことにより、非結晶シリコン膜3中の水素濃度を、0.1atom%以下に低減させることができる。

【0020】この後、ダスト低減等のために絶縁基板1を洗浄する。この時、例えばオゾン水を用いて絶縁基板1を洗浄することにより、非結晶シリコン膜3の表面上に、自然酸化膜に加えて酸化膜層が形成される。

【0021】その後、質量分離機能を有しないイオン注入を行い、所望の濃度のBイオンを非結晶シリコン膜3中に注入する。この時の注入条件は、例えば加速電圧10keV、ドーズ量7E11/cm²、使用ガス濃度5% / H₂ガス希釈としてよい。

【0022】この時注入したBイオンは、表面近傍の酸化膜を突き抜けて、ほぼ全て非結晶シリコン膜3中へ注入される。この後、例えばフッ酸系の溶液を用いて、非結晶シリコン膜3の表面近傍の酸化膜領域を完全に除去する。

【0023】図1(b)のように、エキシマレーザを用いて非結晶シリコン膜3を瞬時に熔融させて多結晶化させ、多結晶シリコン層4を成長させる。この処理により、非結晶シリコン膜3中に注入されていたBは、Siと共に絶縁基板1内に熔融される。よって、この多結晶シリコン膜4は、Bを含む膜となる。

【0024】多結晶シリコン膜4中のBの量は、イオン注入装置の制御により決定される。しかし、質量分離機能を有しないイオン注入装置を用いてイオン注入を行うと、非結晶シリコン膜3の表面層の酸化膜が保護膜として機能する。そこで、エキシマレーザ工程前にこの酸化膜層を除去することで、環境に起因する、BイオンをはじめとするC、N、O等の汚染物質を膜中にとりこまずに多結晶化を行うことができる。ここで、多結晶化工程前の洗浄により除去する酸化膜層は、例えば50~100Åであり、同時に除去される非結晶シリコン膜は10Å程度である。

【0025】図1(c)のように、多結晶シリコン膜4における活性領域及び伝導領域に相当する部分の表面上を図示されていないレジスト膜で覆った後、CDE法 (Chemical Dry Etching) によりパターニングすることによって、n型TFT用の島状の多結晶シリコン膜4bと、p型TFT用の島状の多結晶シリコン膜4aとを形成する。この後、レジスト膜を除去する。

【0026】図1(d)に示されたように、熱CVD法を用いて全面にゲート絶縁膜5を堆積する。ここでは、ゲート絶縁膜5はシリコン酸化膜から成り、その好適な膜厚は例えば約100nm以下である。

【0027】図1(e)のように、ゲート絶縁膜5上に金属膜を例えば200nmの膜厚でスパッタリングによって堆積し、RIE (Reactive Ion Etching) 法によりパターニングしてゲート電極6a、6bを形成する。金属膜は、例えば、モリブデン及びタングステンの合金であってよく、膜厚は例えば250nmとする。

【0028】図1(f)のように、ゲート電極6a、6bと、図示されていないパターニング用のレジスト膜とをマスクとして、多結晶シリコン膜4a、4bに対して自己整合的にPをイオン注入する。

【0029】これにより、図1(g)のように、n型TFT用の多結晶シリコン膜4bにおけるチャネル領域を除くソース、ドレイン領域4b1と、p型TFT用の多結晶シリコン膜4aにおけるソース、ドレイン領域4a1とに、Pが低濃度で導入される。ここで、チャネル層には、Bが例えば3E11/cm²から2E12/cm²程度、導入された状態にある。一般に、チャネル層への不純物の低濃度注入を行う際には、質量分離機能を有しないイオン注入装置を用いる。しかし、より注入の制御性を高めるため、質量分離機能を装荷したイオン注入装置を用いてもよい。この後、レジスト膜をアッシング法により除去する。

【0030】表面全体にレジストを塗布した後、PEP工程により、図2(a)に示されたように、p型TFTの上部全体を覆うレジスト膜11と、n型TFTのゲート電極6bよりわずかに大きい、例えば片側2μm程度大きいレジスト膜10を形成する。そして、レジスト膜10及び11をマスクとし、n型TFTにおけるソース、ドレイン領域4b1の両端領域4b2に、Pを高濃度にイオン注入する。この後、レジスト膜10、11をアッシング法により除去する。Pのイオン注入では、PH₃ガスを用い、注入条件は例えば1E15/cm²、70keVとしてもよい。

【0031】この後、レジスト膜をアッシング法により除去し、Pを例えば3E13/cm²、80keVの条件でイオン注入する。n型TFTにおいて、高濃度にPが注入されたソース、ドレイン領域4b2と、低濃度にPが注入されたソース、ドレイン領域4b1とが形成される。低濃度の領域4b1は、ドレイン端近傍の電界強度を下げて、リーク電流を減少させ、TFTの劣化を防止する作用を生じる。

【0032】図2(b)のように、再度レジストを全体に塗布し、PEP工程によりn型TFT領域全体を被覆するレジスト膜12を形成する。このレジスト膜12をマスクとして、p型TFTのソース、ドレイン領域4a1にBを高濃度にドーピングする。このイオン注入で

は、B₂H₆ガスを使用し、ドーズ量と加速電圧は例えば2E15/cm²、70keVとしてもよい。尚、先の工程でBを低濃度で注入した場合と同じイオン注入装置を用いることができる。この後、アッシング法によりレジスト膜12を除去する。この後、N₂雰囲気中で500℃、1hアニール処理を行う。この処理は、注入した不純物を活性化させるために行う。

【0033】次に、従来と異なり、層間絶縁膜を少なくとも2回に分けて成膜する。膜厚は、全体で例えば660nmとする。

【0034】図2(c)に示されたように、プラズマCVD法を用いて全面に、第1層目の層間絶縁膜13を堆積する。ここで、1層目の層間絶縁膜13を形成し、2層目の層間絶縁膜14を形成する前に、カソード水を用いて、例えば200rpmの回転数でブラシ洗浄を行う。

【0035】続いて、図2(d)に示されたように、プラズマCVD法により、第2層目の層間絶縁膜14を形成し、全体で660nmの層間絶縁膜15とする。

【0036】引き続き、ソース、ドレイン領域上のコンタクト部以外の領域を図示されていないレジスト膜で

- | | |
|----------------|------------------------|
| ケースB1：純水、 | 回転数300rpm、搬送速度900mm/分 |
| ケースB2：アノード超純水、 | 回転数300rpm、搬送速度900mm/分 |
| ケースB3：カソード水、 | 回転数300rpm、搬送速度900mm/分 |
| ケースB4：カソード水、 | 回転数400rpm、搬送速度600mm/分 |
| ケースB5：カソード水、 | 回転数200rpm、搬送速度600mm/分 |
| ケースB6：カソード水、 | 回転数400rpm、搬送速度1200mm/分 |
| ケースB7：カソード水、 | 回転数200rpm、搬送速度1200mm/分 |

【0040】図3より明らかなように、カソード水を用いて回転数200rpmとしたケースB5、B7では、他の殆どのケースよりもパーティクル数を減少させる効果が得られることがわかる。

【0041】上述した実施の形態は一例であって、本発明を限定するものではない。例えば、成膜、イオン注入の方法や条件、材料等は必要に応じて自由に変更することができる。

【0042】また、上記実施の形態では、層間絶縁膜を2回に分けて成膜し、1回目の層間絶縁膜の形成後において洗浄を行っている。しかし、3回以上に分けて成膜し、いずれかの成膜の間で洗浄を行ってもよい。

【0043】

【発明の効果】以上説明したように、本発明の液晶表示装置の製造方法は、層間絶縁膜を少なくとも2回に分けて成膜し、いずれかの成膜の間において洗浄を行うことにより、パーティクルの少ない層間膜を形成することが可能であり、層間膜のパーティクルに起因した不良の発生を防止する事が可能である。

【図面の簡単な説明】

【図1】本発明の実施の形態による液晶表示装置の製造方法を工程別に示した素子の縦断面図。

覆い、例えばフッ化アンモニウム溶液を用いて、図2(e)に示されたように、層間絶縁膜20にコンタクトホール16を開孔する。この後、レジスト膜を剥離する。

【0037】図2(f)のように、このコンタクトホール16を埋め込むように、スパッタリングにより全体に金属膜を堆積し、パターニングを行って信号線17を形成し、CMOSトランジスタを完成する。ここで、金属膜は、例えばMo、Al、Moを、順次50nm、400nm、50nmの膜厚で形成してもよい。以上の工程を経て製造された装置は、パーティクルに起因する層間絶縁膜の不良が防止される。

【0038】上記実施の形態において、1層目の層間絶縁膜13を形成した後、カソード水を用いて200rpmの回転数でブラシ洗浄を行うが、この洗浄工程によってパーティクル数が減少することを調べた結果について述べる。

【0039】以下に、洗浄水の種類と、ブラシの回転数及び搬送速度とをそれぞれ変えた7種類のケースB1～B7の条件を示し、さらに図3にそれぞれのケースにおけるパーティクル数を示す。

【図2】同実施の形態による液晶表示装置の製造方法を工程別に示した素子の縦断面図。

【図3】洗浄水の種類、ブラシの回転数及び搬送速度をそれぞれ変えた場合におけるパーティクル数の相違を示したグラフ。

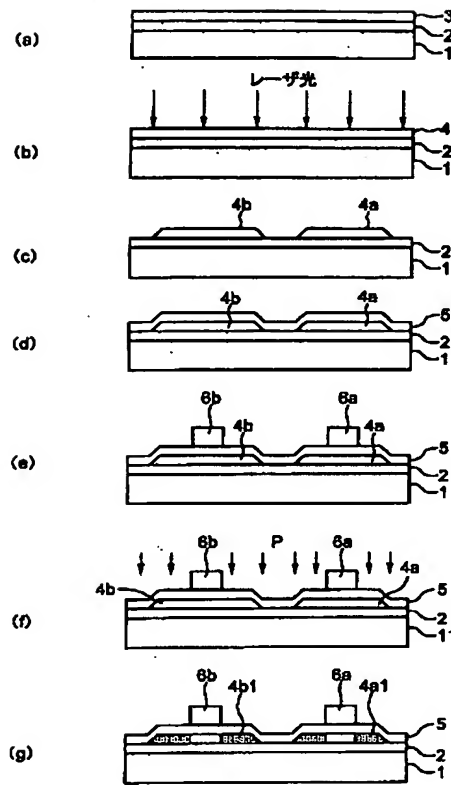
【図4】従来の液晶表示装置の製造方法を工程別に示した素子の縦断面図。

【図5】同実施の形態による液晶表示装置の製造方法を工程別に示した素子の縦断面図。

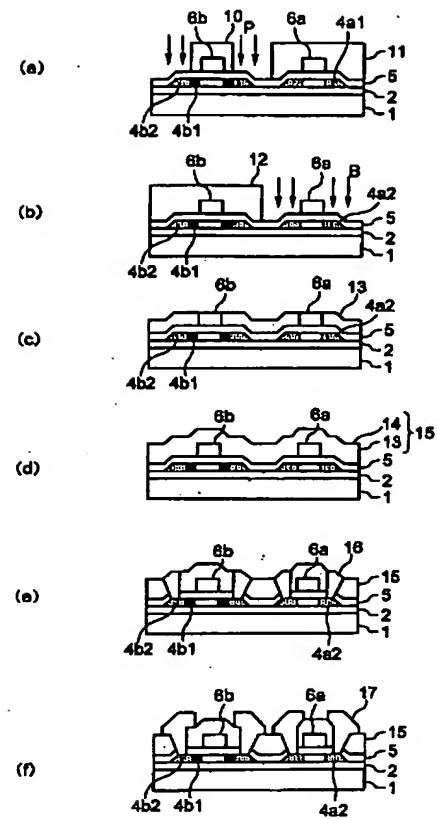
【符号の説明】

- 1 絶縁基板
- 2 窒化シリコン膜
- 3 非結晶シリコン膜
- 4 多結晶シリコン膜
- 5 ゲート絶縁膜
- 6 ゲート電極
- 10、11、12 レジスト膜
- 13 層間絶縁膜(1層目)
- 14 層間絶縁膜(2層目)
- 15 層間絶縁膜(全体)
- 16 コンタクトホール
- 17 信号線

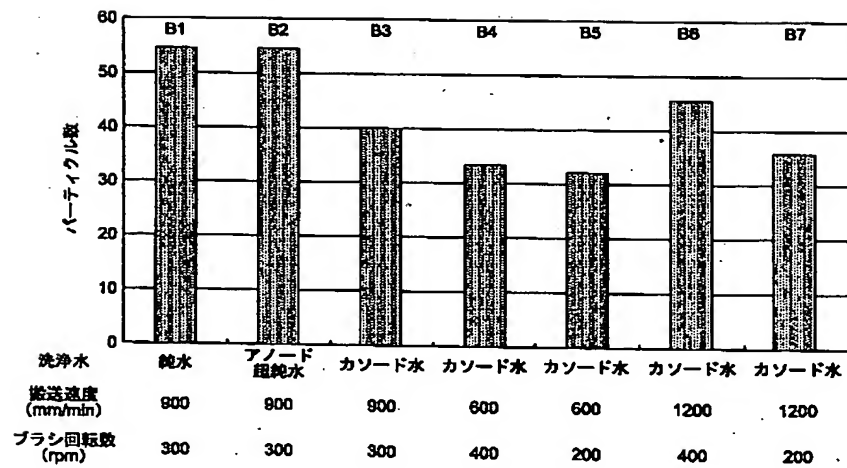
【図 1】



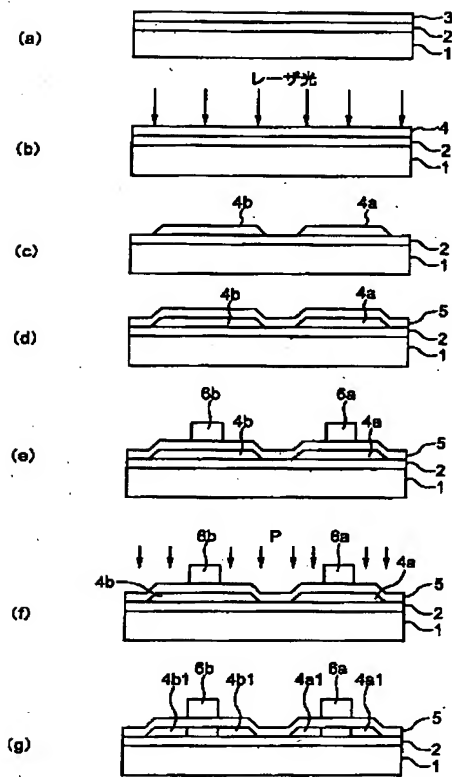
【図 2】



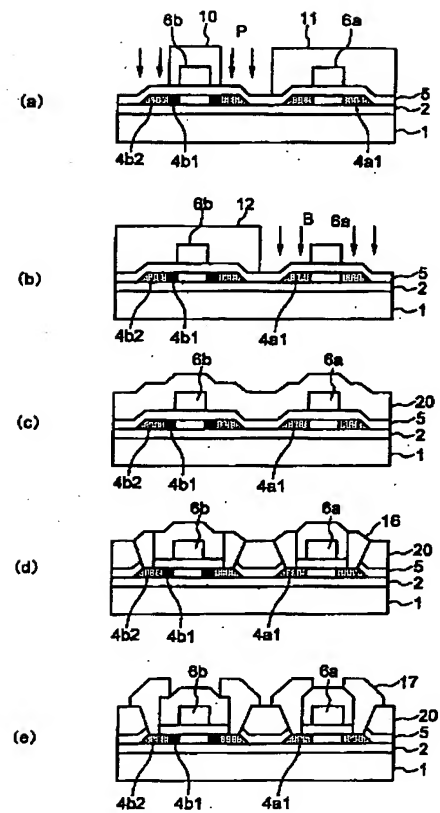
【図 3】



【図4】



【図5】



BEST AVAILABLE COPY

フロントページの続き

Fターム(参考) 2H088 FA18 FA21 HA04
 2H092 HA06 JA34 JA35 JB56 KA05
 KA12 KA18 KB25 MA07 MA19
 MA22 MA26 MA30 NA29
 5C094 AA42 AA43 BA03 BA43 CA19
 DA15 EB02 FA02 FB02 FB15
 GB10
 5F110 AA26 BB01 BB04 CC02 DD14
 DD24 DD25 EE06 EE44 FF02
 FF29 GG02 GG13 GG32 GG34
 GG44 GG52 HJ01 HJ04 HJ13
 HJ23 HL03 HL04 HL12 HL23
 HM15 NN03 NN04 NN35 NN40
 PP03 PP35 QQ11